

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11175868

Basic Patent (No,Kind,Date): JP 5109695 A2 930430 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): YAMAMOTO HIROSHI

IPC: *H01L-021/31; C23C-016/50; C23C-016/52

CA Abstract No: 120(12)151125S

Derwent WPI Acc No: C 93-178559

JAPIO Reference No: 170463E000059

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5109695	A2	930430	JP 91271150	A	911018 (BASIC)

Priority Data (No,Kind,Date):

JP 91271150 A 911018

CONSTITUTION: In the step of forming a plasma CVD film on a semiconductor substrate after a wiring layer is formed, nondirect reaction gas initially flows, an RF is once, after reaching predetermined pressure and flow rate (t_{13}), applied, it is held for a predetermined time, and cut (t_{14}). Then, main reaction gas flows, the RF is again, after reaching predetermined pressure and flow rate, applied (t_{15}), it is held for a predetermined time, thereby forming a plasma CVD thin film.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-109695

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

H 0 1 L 21/31

C 2 3 C 16/50

16/52

識別記号

C

庁内整理番号

8518-4M

7325-4K

7325-4K

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号

特願平3-271150

(22)出願日

平成3年(1991)10月18日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 山本 宏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

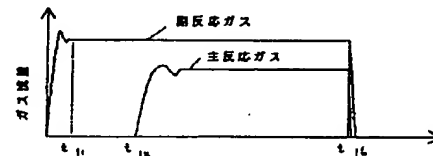
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法

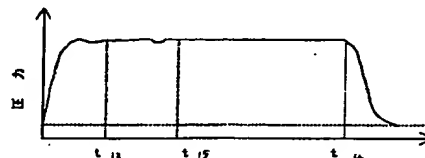
(57)【要約】

【目的】絶縁膜または保護膜としてプラズマCVD薄膜を用いている半導体装置において、反応初期に形成される組成の不安定な膜の発生をなくし、密着性、耐湿性に優れパーティクルの発生が少ないプラズマCVD薄膜を提供し、半導体装置の歩留りと信頼性の向上を図る。

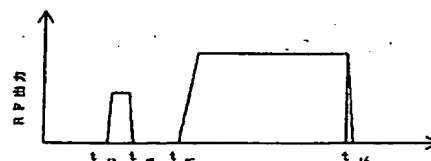
【構成】配線層を形成後の半導体基板にプラズマCVD膜を形成する工程において、直接反応しないガスを最初に流し、所定の圧力、流量に達した後(t_{13})、一旦RFを印加し、一定時間保持後切る(t_{14})。その後主反応ガスを流し、所定の圧力、流量に達した後再度RFを印加し(t_{15})、一定時間保持することによってプラズマCVD薄膜を形成する。



(a)



(b)



(c)

【特許請求の範囲】

【請求項1】絶縁膜または、保護膜として一層以上のプラズマCVD薄膜を用いている半導体装置において、該プラズマCVD薄膜の形成方法が、

a) プラズマや温度によって反応しないガス(副反応ガス)を流し、ガス流量、圧力、電極間隔等を設定値に制御する工程と、

b) 高周波(RF)を印加する工程と

c) 一定時間保持後、高周波(RF)を停止する工程と

d) プラズマや温度によって反応するガス(主反応ガス)を流し、ガス流量と圧力を設定値に制御する工程と、

e) 高周波(RF)印加し、所定の時間保持する工程とからなることを特徴とする半導体装置の製造方法。

【請求項2】請求項1記載の主反応ガスがモノシラン(SiH_4)で、副反応ガスが亜酸化窒素(N_2O)であることを特徴とする半導体装置の製造方法。

【請求項3】請求項1記載の主反応ガスがモノシラン(SiH_4)で、副反応ガスがアンモニア(NH_3)および窒素(N_2)であることを特徴とする半導体装置の製造方法。

【請求項4】請求項1記載の主反応ガスがTEOS[$\text{Si}(\text{OC}_2\text{H}_5)_4$]等の有機シラン類で、副反応ガスが酸素(O_2)であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にCVD薄膜の形成方法に関するものである。

【0002】

【従来の技術】従来の半導体装置の層間絶縁膜におけるプラズマCVD酸化シリコン膜の製造方法を、平行平板式のプラズマCVD装置を例にとり説明する。まず、図3に示すように表面を絶縁した電極32及び33を平行に配置し、一定温度に保たれた真空容器34内にCVD膜を堆積する基板37等を搬送する。続いて、容器内を真空に引いた後、電極を所定の位置に移動する。続いて主反応ガスであるモノシランガス(SiH_4)と副反応ガスである亜酸化窒素ガス(N_2O)を流す。ガスの流量と圧力が所定値に達した後(図2中の t_{22})、前記電極に高周波(RF)を印加し(t_{23})、一定時間保持し酸化シリコン膜を所望する膜厚が得られるまで気相成長した後、高周波(RF)を停止する(t_{24})。容器内のガスを真空引きすることによって排出した後、真空容器を大気圧に戻し、基板37を搬出する。

【0003】

【発明が解決しようとする課題】しかしながら、従来技術では、図2のグラフに示すように主反応ガスと副反応ガスを同時に流し出し始めているが、流量制御系の応答

速度の差によってガス比が一定とならない。特に、モノシランガスの流量やガス比が所定量よりも多くなると、場合によっては、RFの印加前にSiの組成比の多い膜や比較的大きな堆積物の塊を形成する。また、圧力が設定値に到達し、高周波(RF)の印加開始後も、最適な混合比とはならず、目的とする膜質とは異なった膜が形成されたりする。この膜は、膜質がポーラス気味で、絶縁膜として使用した場合、電流リークの原因となることがある。また、耐湿性の点や、下地との密着性の点でしばしば問題となっている。

【0004】配線形成時のレジストの残りや有機溶剤が局所的に残った場合は、表面の状態が不安定であり、プラズマCVD膜の膜厚分布の変動が大きくなったり、密着性の悪化を生じ、半導体装置の歩留りの低下を引き起こす。

【0005】しかるに本発明は、かかる課題を解決するものであり、その目的とするところは、形成開始時に堆積物(パーティクル)の発生がなく、膜質の安定したプラズマCVD膜を形成し、高品質で歩留りの高い半導体装置を提供することである。

【0006】

【課題を解決するための手段】本発明による半導体装置の製造方法は、絶縁膜または、保護膜として一層以上のプラズマCVD薄膜を用いている半導体装置において、該プラズマCVD薄膜の形成方法が、a) プラズマや温度によって反応しないガス(副反応ガス)を流し、ガス流量、圧力、電極間隔等を設定値に制御する工程と、b) 高周波(RF)を印加する工程とc) 一定時間保持後、高周波(RF)を停止する工程とd) プラズマや温度によって反応するガス(主反応ガス)を流し、ガス流量と圧力を設定値に制御する工程と、e) 高周波(RF)印加し、所定の時間保持する工程とからなることを特徴とする。

【0007】また、上記主反応ガスがモノシラン(SiH_4)で、副反応ガスが亜酸化窒素(N_2O)であることを特徴とする。

【0008】また、上記主反応ガスがモノシラン(SiH_4)で、副反応ガスがアンモニア(NH_3)および窒素(N_2)であることを特徴とする。

【0009】また、上記主反応ガスがTEOS[$\text{Si}(\text{OC}_2\text{H}_5)_4$]等の有機シラン類で、副反応ガスが酸素(O_2)であることを特徴とする。

【0010】

【実施例】以下本発明の実施例における工程を、図3および図1に示すタイミングチャートに基づいて詳細に説明する。

【0011】まず、トランジスタや抵抗等の半導体素子及びアルミニウム配線の形成された半導体基板37を約400℃に保たれ、絶縁された電極32、33が平行に配置された真空容器34内に搬送する。この容器内を一旦

真空中引いた後、副反応ガスである亜酸化窒素ガス(N_2O)を約1500SCCM流し流量を安定させる(t_{11})、続いて排気系を制御して圧力を約5Torrに安定させた後(t_{12})、13.56MHz、200Wの高周波(RF)を印加する(t_{13})。5秒間保持した後、一旦RFを停止する(t_{14})。主反応ガスであるモノシラン(SiH_4)を約100SCCM流し、圧力を再度5Torrに制御し安定した後(t_{15})、RFを印加することでプラズマCVD酸化シリコン膜を形成する。所望の膜厚に達するか、所望の時間経過した後、RFを停止すると同時にガスを停止し、圧力を下げる(t_{16})。終了後、半導体基板37を真空容器34から搬出する。

【0012】プラズマや温度によって反応物を形成しない亜酸化窒素を流し、ガス流量と圧力を安定させた後、一旦RFを印加することで、基板及び配線の表面の有機成分やレジスト残りが除去される。その後、主反応ガスを導入することによって、主反応ガスがRF印加前に分解して、堆積物の塊が形成されることもなくなった。また、圧力安定後に一定時間保持したことによって反応ガスの分圧が毎回同じとなり、組成の一定した膜を再現性良く形成することが可能となった。

【0013】ここでは、モノシラン／亜酸化窒素系の酸化シリコン膜について説明したが、TEOS／酸素系のプラズマCVD酸化シリコン膜でも、酸素を最初に流し、RFを一旦印加することによって、同様の結果が得られた。この場合、レジストのアッシングに用いられる酸素プラズマと同様の効果によってレジストや有機成分が除去される。

【0014】また、2種類の反応ガスからなるCVD膜の形成のみならず、保護膜(ファイナルパッシベーション膜)等に用いられる、モノシラン／アンモニア／窒素系の窒化シリコン膜等の3種類以上の反応ガスによるプラズマCVD膜の製造方法としても最初にアンモニアと窒素を流し、一旦RFを印加することによって同様に適用でき、良好な結果が得られた。この場合、半導体基板外周部に発生していた組成の異常な膜がなくなるとともに、パーティクルが減少し、半導体基板全体に渡って安定した品質の窒化シリコン膜が得られた。さらに、配線間のリークについても1/2程度に減少し半導体基板内のバラツキも小さくなった。

【0015】1回目にRFを印加する時間については、有機物の除去を目的とした場合に長くする必要があるが、表面状態の安定とガス比の安定を目的として場合は2秒程度でも効果が認められた。

【0016】RFのパワーについても、大小により特に有為差は認められなかったが、プラズマダメージを抑えるという点からプラズマCVD膜の堆積に要するパワーと同じかより低い方が望ましい。

【0017】

【発明の効果】以上の如く本発明によれば、プラズマCVD膜の形成時に、プラズマや温度によって反応しない副反応ガスを先に流して圧力、ガス流量を安定させた後、一旦RFを印加することによって、基板表面の有機物やの除去が行われ、かつ表面状態が改善される。さらに、この後に主反応ガスを流し、流量と圧力を安定させてからRFを印加することによって、RF印加前に主反応ガスが分解して、堆積物の塊が形成されることがなくなり、組成の一定した膜を再現性良く形成することが可能となり、耐湿性や膜のリーク電流の点で問題がなくなり、半導体装置の歩留りと信頼性が向上した。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の製造方法を示すタイミングチャートである。

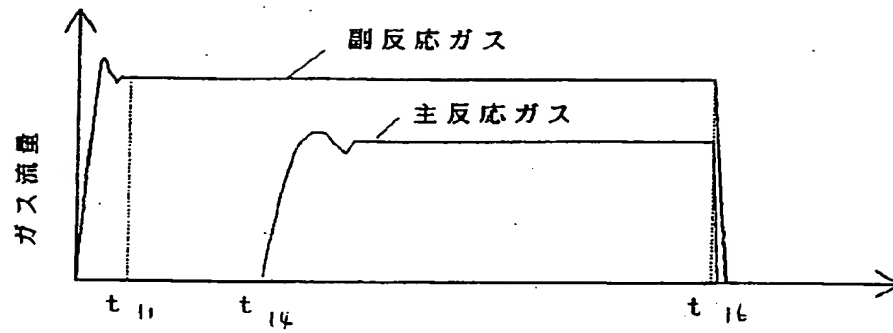
【図2】従来の半導体装置の製造方法を示すタイミングチャートである。

【図3】プラズマCVD薄膜形成装置の概略断面図である。

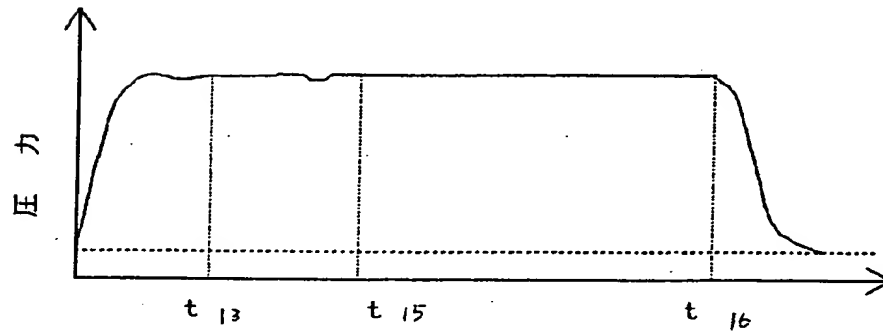
【符号の説明】

- t_{11} ・・・副反応ガスの流量が安定した時間
- t_{12} ・・・反応室内の圧力が安定した時間
- t_{13} ・・・RFを印加し始めた時間
- t_{14} ・・・RFを停止した時間
- t_{15} ・・・主反応ガスの流量と反応室の圧力が安定し、RFを印加し始めた時間
- t_{16} ・・・RF、ガスを停止し、圧力を下げた時間
- t_{21} ・・・主反応ガスおよび副反応ガスの流量が安定した時間
- t_{22} ・・・反応室内の圧力が安定した時間
- t_{23} ・・・RFを印加し始めた時間
- t_{24} ・・・RFを停止した時間
- 31・・・RF発振器
- 32・・・上部電極
- 33・・・下部電極
- 34・・・真空容器
- 35・・・ガス入口
- 36・・・ガス出口
- 37・・・半導体基板
- 38・・・絶縁物

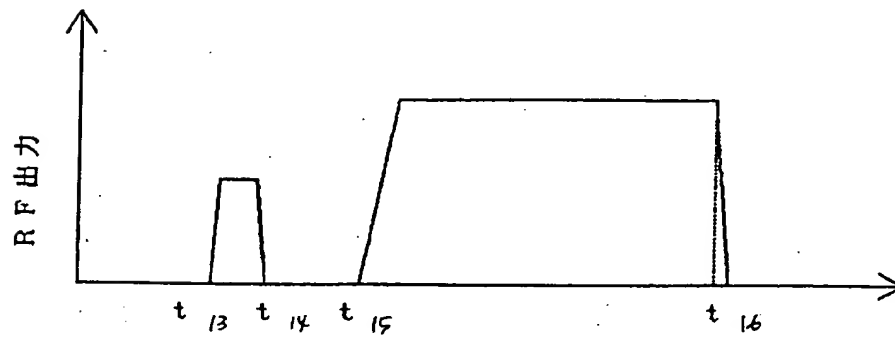
【図1】



(a)

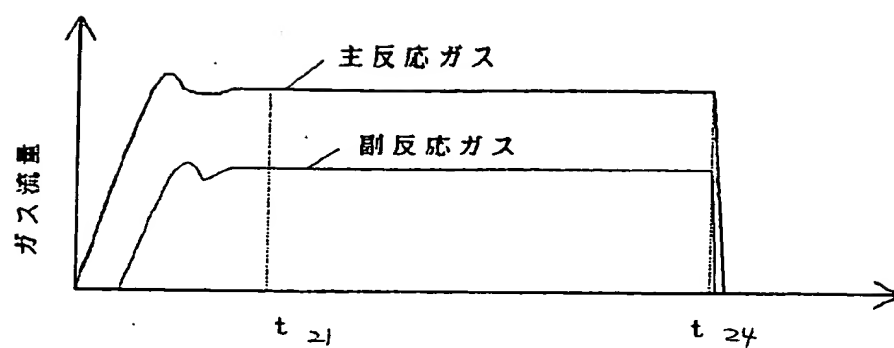


(b)

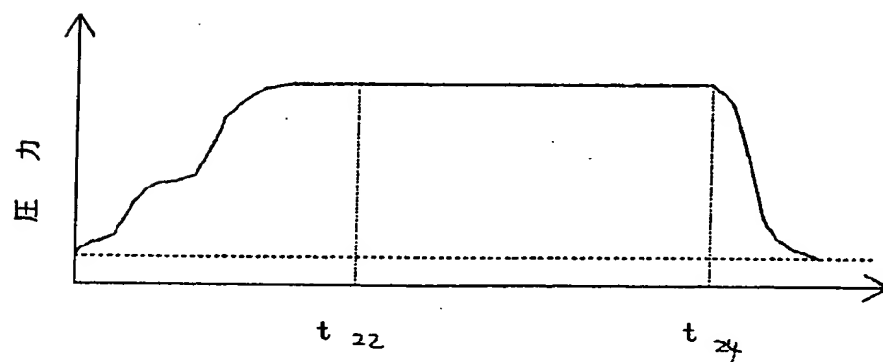


(c)

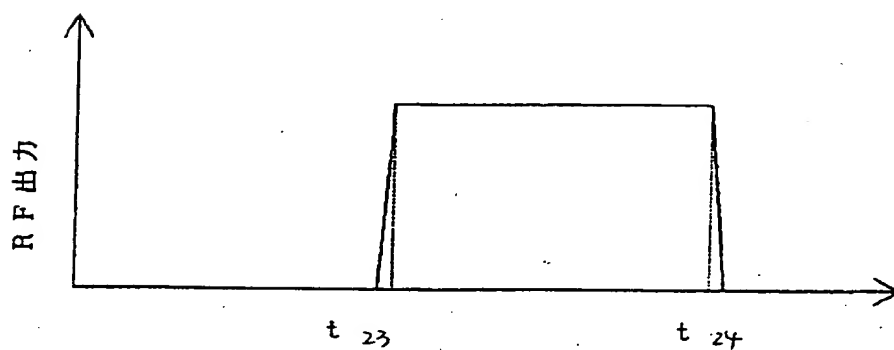
【図2】



(a)



(b)



(c)

【図3】

